

Docket No.: 4459-139

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Jeng Da WU : Confirmation No. *Not yet assigned*
U.S. Patent Application No. *Not yet assigned* : Group Art Unit: *Not yet assigned*
Filed: *Herewith* : Examiner: *Not yet assigned*
For: SEMICONDUCTOR PACKAGE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 092110060, filed April 25, 2003*. The certified copy is submitted herewith.

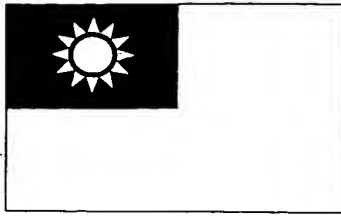
Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP



Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: February 12, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 25 日
Application Date

申請案號：092110060
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 7 月 22 日
Issue Date

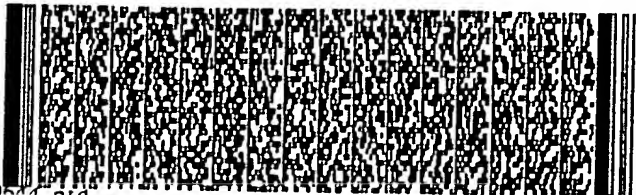
發文字號：09220734510
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體封裝構造
	英 文	SEMICONDUCTOR PACKAGE
二、 發明人 (共1人)	姓 名 (中文)	1. 吳政達
	姓 名 (英文)	1. Jeng Da WU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄縣橋頭鄉仕和村37鄰南溝路金福二巷37號8樓之2
	住居所 (英 文)	1. 8Fl.-2, No. 37, Chin Fu 2nd Lane, Nangou Rd., Chiautou Shiang, Kaohsiung, Taiwan 825, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 811高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chian Seng CHANG



四、中文發明摘要 (發明名稱：半導體封裝構造)

一種半導體封裝構造，包含複數個間隔子、一晶片、複數個連接線、複數個接點、以及一封膠體。該晶片係配置於該間隔子上。該連接線係電性連接至該晶片，且該接點係電性連接至該連接線。該接點係用以電性連接至一外部電路板。該封膠體包封該間隔子及該晶片之主動表面及背面，藉此降低晶片之熱應力。

五、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

100 半導體封裝構造

112 晶片

116 間隔子

120 封膠體

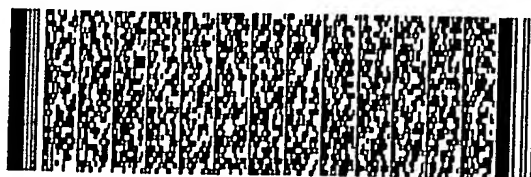
114 基板

118 連接線

122 錫球

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

A semiconductor package comprises spacers, a chip, bonding wires, leads, and an encapsulant. The chip is disposed on the spacers. The bonding wires are electrically connected to the chip, and the leads are electrically connected to the bonding wires. The leads are electrically connected to an external circuit board. The encapsulant encapsulates the spacers and the active and back



四、中文發明摘要 (發明名稱：半導體封裝構造)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

surface of the chip so as to lower the thermal stress of the chip.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明(1)

【發明所屬之技術領域】

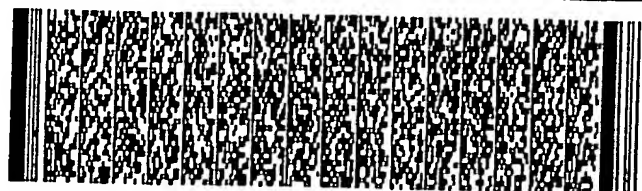
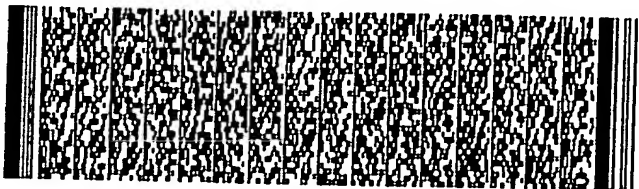
本發明係有關於一種半導體封裝構造，更特別係有關於一種低應力半導體封裝構造，其具有一晶片配置於一基板上，且該晶片及該基板間具有一預定之間距。

【先前技術】

半導體封裝主要具有四個功能，包括：訊號的連接、電源的連接、熱量的散發、以及保護。一般而言，半導體晶片係先形成一包封體(enclosure)，例如單一晶片模組(SCM)或晶片承載器(chip carrier)，稱為半導體封裝。這些封裝後的晶片，伴隨著其他的元件，諸如電容、電阻、電桿、濾波器、開關、光學元件、及RF元件等等，之後係組裝於一印刷電路板上。

隨著更輕更複雜電子裝置需求的日趨強烈，晶片的速度及複雜性相對越來越高。半導體晶片需要提供相對上更多的接腳，用以輸入及輸出訊號。舉例而言，於一習知之塑膠球格陣列(Plastic Ball Grid Array; PBGA)封裝構造10中，一半導體晶片12係藉由一膠層16黏著於一基板14上。連接線(bonding wire)18係電性連接至該基板14及該半導體晶片12，且封膠體20包封該半導體晶片12及該連接線18。複數個錫球22係配置於該基板14之下表面，用以固定至一外部電路板上。

然而，由於該封裝構造10之個別元件之熱膨脹係數(coefficient of thermal expansion; CTE)的不匹配，會於該封裝構造10中造成翹曲及應力。再者，該熱膨脹係數之



五、發明說明(2)

不匹配，亦有可能造成該封膠體20中之晶片12損壞。

有鑑於此，便有需供一種半導體封裝構造，以解決前述之缺點。

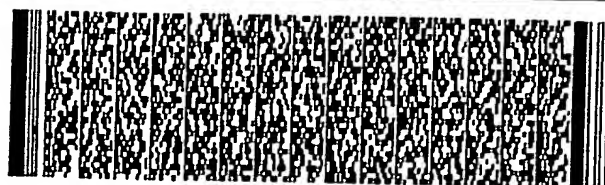
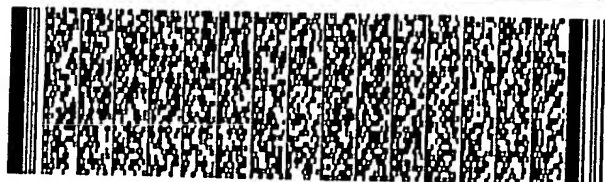
【發明內容】

本發明之一目的在於提供一種低應力半導體封裝構造，其具有一晶片配置於一基板上，且該晶片及基板間具有一預定之距離，以使晶片受到較低之應力。

為達上述目的，本發明提供一種半導體封裝構造，包含複數個間隔子、一晶片、複數個連接線、複數個接點、一基板、以及一封膠體。該間隔子係配置於該基板上，且該晶片係配置於該間隔子上。該連接線係電性連接至該晶片，且該接點係電性連接至該連接線。該接點係用以電性連接至一外部電路板。該封膠體包封該間隔子及該晶片之主動表面及背面，藉此降低晶片之熱應力。

於根據本發明之半導體封裝構造中，該晶片與基板間之膠層，係為間隔子及封膠塑料所取代，使得晶片大致上均被封膠塑料所包覆，因此熱膨脹係數的不匹配之影響將可大幅度的降低，且進一步該晶片與該封膠塑料間之應力可大幅度的降低。再者，該間隔子係於該晶片與該基板間形成間隙，用以導入該封膠塑料，如此使得該半導體封裝構造之應力能夠藉由改變該間隔子之尺寸，亦即改變該間隙之尺寸，而加以調整，特別是使得該晶片之應力大幅降低。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細



五、發明說明(3)

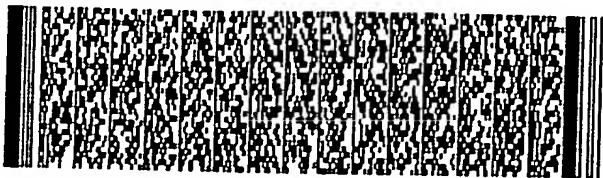
說明如下。

【實施方式】

現請參考第1圖，其顯示根據本發明之一實施例之半導體封裝構造100。該半導體封裝構造100係為一球格陣列(Ball Grid Array; BGA)封裝構造，並具有一載板(carrier)，諸如一電路基板或基板114及一晶片112。複數個間隔子(spacer)116係配置於該基板114上，且之後該晶片112係配置於該間隔子116上，並藉由連接線(bonding wire)118電性連接至該基板114。一封膠體120係包封該晶片112、該間隔子116、及該連接線118。複數個錫球122係配置於該基板114之下表面，用以加裝至一外部電路板之一外部電路上。

該間隔子116可由聚合物或玻璃所製得。該間隔子116之形狀並不以球形為限，而亦可為其他的形狀，諸如圓柱形及正立方形。該封膠體120之厚度大約為32密爾(mil)，亦即大約800微米(μ)，該晶片112之厚度約為12密爾，亦即大約300微米，且該間隔子116之厚度大約為1-4密爾，亦即大約25-100微米。

再參考第3及3a圖，其顯示於該半導體封裝構造100之製造過程中之該基板114。該基板114界定一晶片區域124。該晶片112係配置於該晶片區域124上。於該半導體封裝構造100之製造過程中，該間隔子116係與一黏著劑117相混合以形成一混合物126，該混合物126係均勻的配送於該基板114之該晶片區域124中，用以黏著或支撐該晶片112。較佳者，



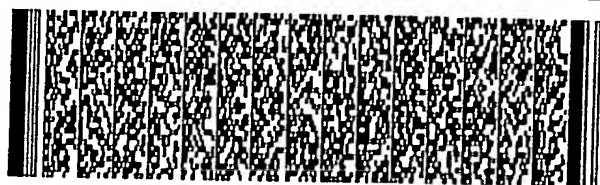
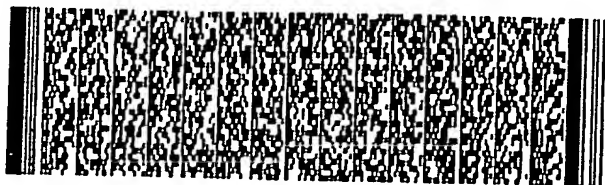
五、發明說明(4)

直接選擇特殊尺寸之間隔子116，混合適當份量之黏著劑117，使間隔子116直接撐起晶片112。該晶片112可藉由適當的壓力裝置施力，藉以平穩的配置於該基板114上。再者，經由加熱烘烤以硬化黏著劑117，使晶片112緊密地接著在基板114上。之後，該封膠體120可藉由模造或移動模造製程，注膠於該基板114上，並填入該混合物126之間，以使晶片112之上下表面大致上均被封膠體120所包覆。該黏著劑117可為任何適當的材料，諸如環氧樹脂及銀膠等。

需注意者，該混合物126之塗佈量需要受到控制，如此以便足夠固定晶片112，且可使封膠體120容易注入間隔子116間以及該晶片112與該基板114間所之隙。

再參考第4圖，其顯示根據本發明另一實施例之半導體封裝構造150。該半導體封裝構造150與該半導體封裝構造100相類似，其中相似的元件標示相同的圖號。該半導體封裝構造150係為一堆疊(stacked)/多晶片(multichip)球格陣列封裝構造。該半導體封裝構造具有複數個晶片112，堆疊並配置於一基板114上。複數個間隔子116係配置於該晶片112之間，以及該晶片112與該基板114之間。

再參考第5圖，其顯示根據本發明又另一實施例之半導體封裝構造200。該半導體封裝構造200與該半導體封裝構造100相類似，其中相似的元件標示相似的圖號。該半導體封裝構造200係為一下凹式球格陣列(Cavity-Down Ball Grid Array)封裝構造。該半導體封裝構造200具有一基板214，其具有一凹處211。複數個間隔子216係配置於該基板214之該



五、發明說明(5)

凹處211上。一晶片212係配置於該間隔子216上。

再參考第6圖，其顯示根據本發明另一實施例之半導體封裝構造250。該半導體封裝構造250與該半導體封裝構造200相類似，其中相似的元件標示相同的圖號。該半導體封裝構造250係為一堆疊/多晶片之下凹式球格陣列封裝構造。該半導體封裝構造250具有複數個晶片212，堆疊並配置於一基板214之一凹處211中。複數個間隔子216係配置於該晶片212之間，以及該晶片212與該基板214之間。

再參考第7圖，其顯示根據本發明又另一實施例之半導體封裝構造300。該半導體封裝構造300與該半導體封裝構造100相類似，其中相似的元件標示相似的圖號。該半導體封裝構造300係為一晶片尺寸封裝構造(Chip Scale Package)。該半導體封裝構造300具有一基板314。複數個間隔子316係配置於該基板314上。一晶片312係配置於該間隔子316上。

再參考第8圖，其顯示根據本發明另一實施例之半導體封裝構造350。該半導體封裝構造350與該半導體封裝構造300相類似，其中相似的元件標示相同的圖號。該半導體封裝構造350係為一堆疊/多晶片之晶片尺寸封裝構造。該半導體封裝構造350具有複數個晶片312，堆疊並配置於一基板314上。複數個間隔子316係配置於該晶片312之間，以及該晶片312與該基板314之間。

再參考第9圖，其顯示根據本發明又另一實施例之半導體封裝構造400。該半導體封裝構造400與該半導體封裝構造

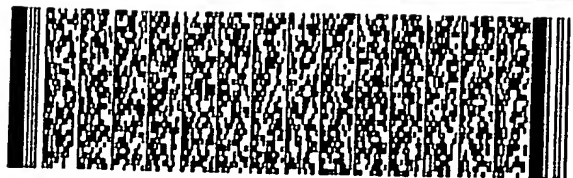


五、發明說明(6)

100 相類似，其中相似的元件標示相似的圖號。該半導體封裝構造400係為一小外形封裝構造(Small Outline Package ; SOP)、一薄小外形封裝構造(Thin Small Outline Package ; TSOP)、或一四方扁平封裝構造(Quad Flat Package ; QFP)。該半導體封裝構造400具有一載板(carrier)，亦即一導線架414。複數個間隔子416係配置於該導線架414之一晶片承座427上。一晶片412係配置於該間隔子416上。該晶片412係藉由複數個連接線418，電性連接至該導線架414之引腳(lead)425上，該引腳425可藉由表面固定技術(Surface Mount Technology ; SMT)電性連接至一外部電路板上。

再參考第10圖，其顯示根據本發明另一實施例之半導體封裝構造450。該半導體封裝構造450與該半導體封裝構造400相類似，其中相似的元件標示相同的圖號。該半導體封裝構造450係為一堆疊/多晶片之封裝構造。該半導體封裝構造450具有複數個晶片412，堆疊並配置於一導線架414之一晶片承座427上。複數個間隔子416係配置於該晶片412之間，以及該晶片412與該基板414之間。

再參考第11圖，其顯示根據本發明又另一實施例之半導體封裝構造500。該半導體封裝構造500與該半導體封裝構造100相類似，其中相似的元件標示相似的圖號。該半導體封裝構造500係為一凸塊晶片載具(Bump Chip Carrier ; BCC)封裝構造或四方扁平無外引腳(Quad Flat No-lead ; QFN)封裝構造，且可藉由表面固定技術(Surface Mount



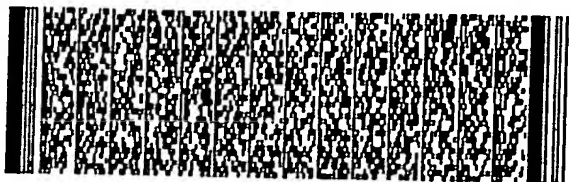
五、發明說明(7)

Technology ; SMT) 配置於一外部電路板上。該半導體封裝構造500具有一晶片512，係配置於複數個間隔子516上。該晶片512係藉由複數個連接線518，電性連接至複數個樹脂凸塊(resin bump)或引腳(lead)522上。一封膠體520係包封該間隔子516及該連接線518。

再參考第12圖，其顯示根據本發明另一實施例之半導體封裝構造550。該半導體封裝構造550與該半導體封裝構造500相類似，其中相似的元件標示相同的圖號。該半導體封裝構造550係為一堆疊/多晶片之封裝構造。該半導體封裝構造550具有複數個晶片512，堆疊並配置於複數個間隔子516上。該複數個間隔子516亦配置於該晶片512之間。

再參考第13圖，其顯示根據本發明又另一實施例之半導體封裝構造600。該半導體封裝構造600與該半導體封裝構造300相類似，其中相似的元件標示相同的圖號。該半導體封裝構造600係為一堆疊/多晶片之晶片尺寸封裝構造。該半導體封裝構造600具有複數個晶片612、613，堆疊並配置於一基板614上。該晶片613係以覆晶技術，經由凸塊640電性連接至該基板614。複數個間隔子616係配置於該晶片613上，且該晶片612係配置於該間隔子616上。該晶片612係再藉由連接線618電性連接至該基板614。

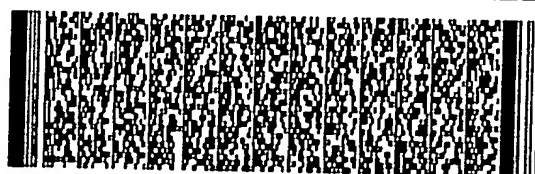
綜前所述，於根據本發明之半導體封裝構造中，該晶片與基板間之膠層，係為間隔子及封膠塑料所取代，使得晶片大致上均被封膠塑料所包覆，因此熱膨脹係數的不匹配問題將可大幅度的減少，使晶片所受之應力可大幅度的降低，另



五、發明說明 (8)

外，封裝體翹曲變形、脫層等問題亦可獲得改善。再者，間隔子係於該晶片與該基板間形成間隙，用以導入該封膠塑料，如此使得該半導體封裝構造之應力能夠藉由改變該間隔子之尺寸，亦即改變該間隙之尺寸，而加以調整，特別是使得該晶片之應力大幅降低。

雖然前述的描述及圖示已揭示本發明之較佳實施例，必須瞭解到各種增添、修改和取代可能使用於本發明較佳實施例，而不會脫離如所附申請專利範圍所界定的本發明原理之精神及範圍。熟悉該技藝者將可體會本發明可能使用於很多形式、結構、佈置、比例、材料、元件和組件的修改。因此，本文於此所揭示的實施例於所有觀點，應被視為用以說明本發明，而非用以限制本發明。本發明的範圍應由後附申請專利範圍所界定，並涵蓋其合法均等物，並不限於先前的描述。



圖式簡單說明

【圖式簡單說明】

第1圖：先前技術之一塑膠球格陣列封裝構造之剖面示意圖。

第2圖：係根據本發明之一較佳實施例之半導體封裝構造之剖面示意圖。

第3圖：係第2圖所示之該半導體封裝構造之基板之上平面示意圖。

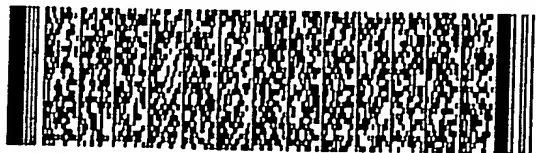
第3a圖：係第3圖所示之區域A之放大示意圖。

第4圖：係根據本發明之另一較佳實施例之半導體封裝構造之剖面示意圖。

第5圖：係根據本發明之又另一較佳實施例之半導體封裝構造之剖面示意圖。

第6圖：係根據本發明之再另一較佳實施例之半導體封裝構造之剖面示意圖。

第7圖：係根據本發明之又另一較佳實施例之半導體封裝構造之剖面示意圖。



圖式簡單說明

第8圖：係根據本發明之再另一較佳實施例之半導體封裝構造之剖面示意圖。

第9圖：係根據本發明之又另一較佳實施例之半導體封裝構造之剖面示意圖。

第10圖：係根據本發明之再另一較佳實施例之半導體封裝構造之剖面示意圖。

第11圖：係根據本發明之又另一較佳實施例之半導體封裝構造之剖面示意圖。

第12圖：係根據本發明之再另一較佳實施例之半導體封裝構造之剖面示意圖。

第13圖：係根據本發明之又另一較佳實施例之半導體封裝構造之剖面示意圖。

圖號說明：

10 塑膠球格陣列封裝構造

12 半導體晶片

16 膠層

20 封膠體

100 半導體封裝構造

14 基板

18 連接線

22 錫球

112 晶片



圖式簡單說明

- | | |
|-------------|-------------|
| 114 基板 | 116 間隔子 |
| 117 黏著劑 | 118 連接線 |
| 120 封膠體 | 122 錫球 |
| 124 晶片區域 | 126 混合物 |
| 150 半導體封裝構造 | |
| 200 半導體封裝構造 | 211 凹處 |
| 212 晶片 | 214 基板 |
| 216 間隔子 | 218 連接線 |
| 220 封膠體 | 222 錫球 |
| 250 半導體封裝構造 | |
| 300 半導體封裝構造 | 312 晶片 |
| 314 基板 | 316 間隔子 |
| 318 連接線 | 320 封膠體 |
| 350 半導體封裝構造 | |
| 400 半導體封裝構造 | 412 晶片 |
| 414 導線架 | 416 間隔子 |
| 418 連接線 | 420 封膠體 |
| 425 引腳 | 427 晶片承座 |
| 450 半導體封裝構造 | |
| 500 半導體封裝構造 | 512 晶片 |
| 514 基板 | 516 間隔子 |
| 518 連接線 | 520 封膠體 |
| 522 引腳 | 550 半導體封裝構造 |
| 600 半導體封裝構造 | 612 晶片 |



圖式簡單說明

614 基板

618 連接線

640 凸塊

616 間隔子

620 封膠體



六、申請專利範圍

1、一種半導體封裝構造，包含：

一載板；

複數個第一間隔子，配置於該載板上，並界定一主動表面及背面；

一第一晶片，配置於該第一間隔子上；

複數個接點，配置於該載板上，用以電性連接至一外部電路；

複數條第一連接線，用以將該第一晶片電性連接至該接點；

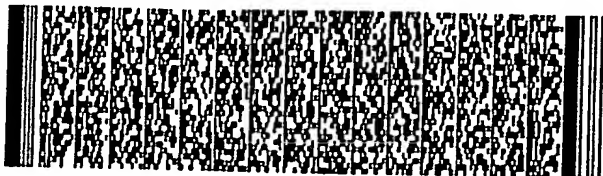
一封膠體，包封該第一間隔子、該第一晶片之該主動表面及背面、及該第一連接線。

2、依申請專利範圍第1項之半導體封裝構造，另包含複數個錫球，配置於該載板上，並電性連接至該接點，用以電性連接至該外部電路。

3、依申請專利範圍第1項之半導體封裝構造，其中該載板係為一電路基板。

4、依申請專利範圍第1項之半導體封裝構造，其中該載板係為一導線架，具有一晶片承座，其中該第一間隔子係配置於該晶片承座上。

5、依申請專利範圍第4項之半導體封裝構造，其中該導線架



六、申請專利範圍

另包括複數個內引腳，界定該接點，以及複數個外引腳電性連接至該內引腳，用以電性連接至該外部電路。

6、依申請專利範圍第1項之半導體封裝構造，另包括：

複數個第二間隔子，配置於該第一晶片上；

一第二晶片，配置於該第二間隔子上；以及

複數條第二連接線，用以將該晶片電性連接至該接點，其中該封膠體另包封該第二間隔子、該第二晶片、及該第二連接線。

7、依申請專利範圍第1項之半導體封裝構造，另包括複數個黏著劑，與該複數個間隔子相混合，配置於該載板上。

8、一種半導體封裝構造，包含：

一第一晶片；

複數個第一間隔子，支撐該第一晶片；

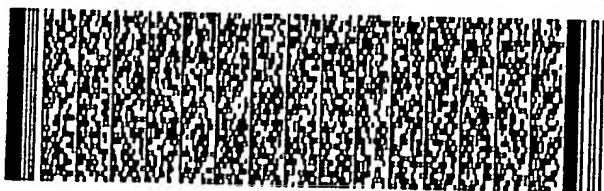
複數個接點，用以電性連接至一外部電路；

複數條第一連接線，用以將該第一晶片電性連接至該接點；

一封膠體，包封該第一間隔子、該第一晶片、及該第一連接線。

9、依申請專利範圍第8項之半導體封裝構造，另包括：

複數個第二間隔子，配置於該第一晶片上；



六、申請專利範圍

一 第二晶片，配置於該第二間隔子上；以及
複數條第二連接線，用以將該晶片電性連接至該接點，
其中該封膠體另包封該第二間隔子、該第二晶片、及該
第二連接線。

10、依申請專利範圍第8項之半導體封裝構造，另包括複數
個黏著劑，與該複數個間隔子相混合。

11、一種半導體封裝構造，包含：

一 基板；

一 第一晶片，藉由覆晶技術，配置於該基板上；
複數個間隔子，配置於該第一晶片上；

一 第二晶片，配置於該間隔子上；

複數個接點，配置於該基板上，用以電性連接至一外部
電路；

複數條連接線，用以將該第二晶片電性連接至該接點；

一封膠體，包封該間隔子、該第一晶片、該第二晶片、
及該連接線。

12、依申請專利範圍第11項之半導體封裝構造，另包含複數
個錫球，配置於該基板上，並電性連接至該接點，用以電性
連接至該外部電路。

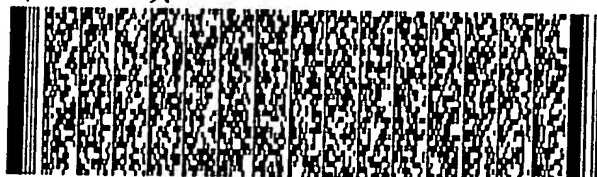
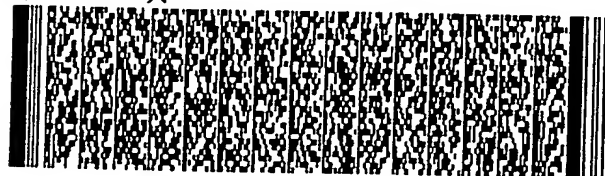
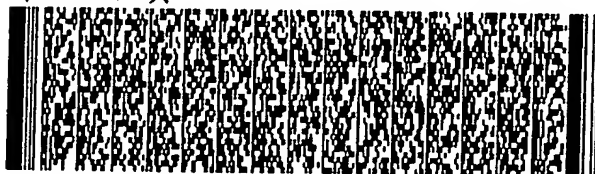
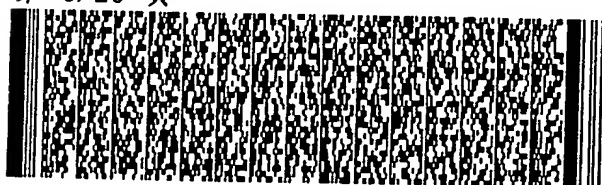
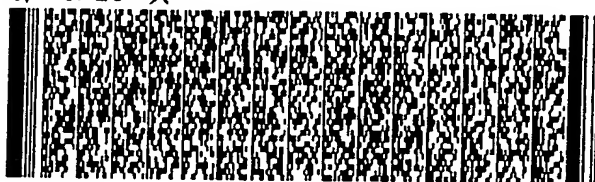
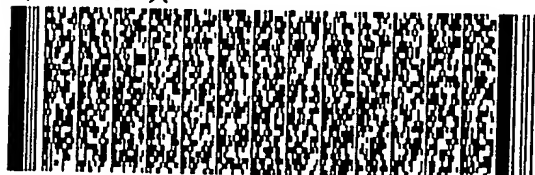
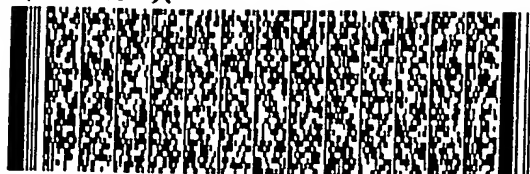
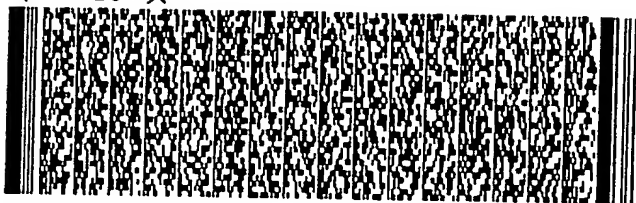
13、依申請專利範圍第11項之半導體封裝構造，另包括複數



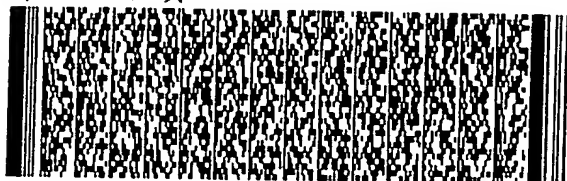
六、申請專利範圍

個黏著劑，與該複數個間隔子相混合，配置於該第一晶片上。





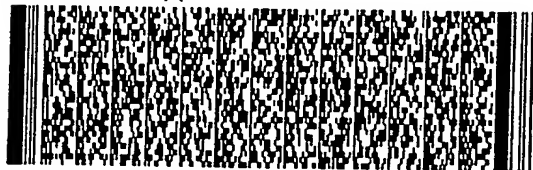
第 11/20 頁



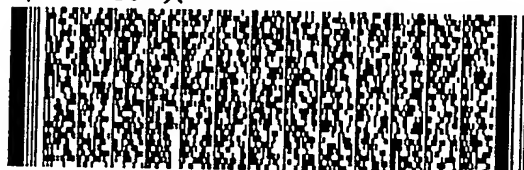
第 11/20 頁



第 12/20 頁



第 12/20 頁



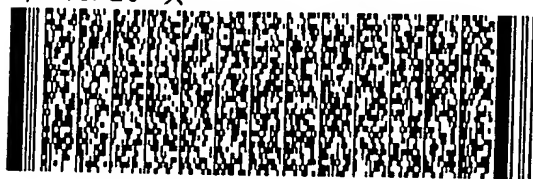
第 13/20 頁



第 14/20 頁



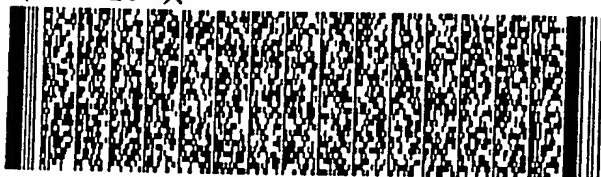
第 15/20 頁



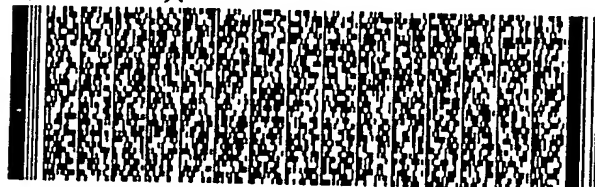
第 16/20 頁



第 17/20 頁



第 18/20 頁

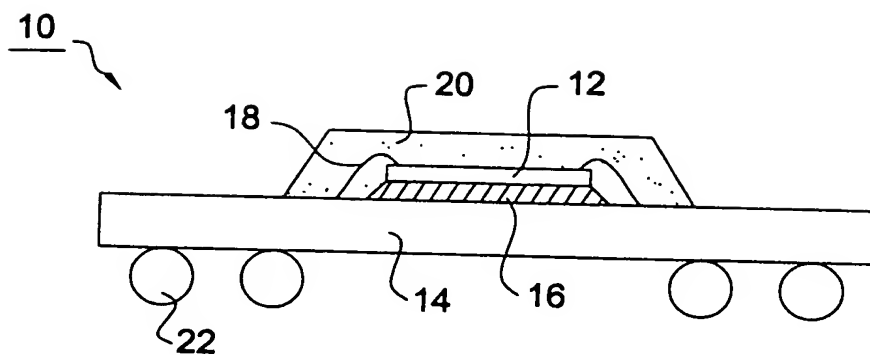


第 19/20 頁

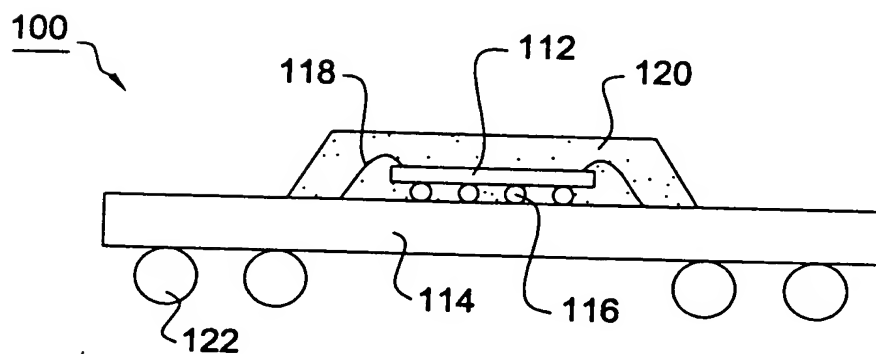


第 20/20 頁

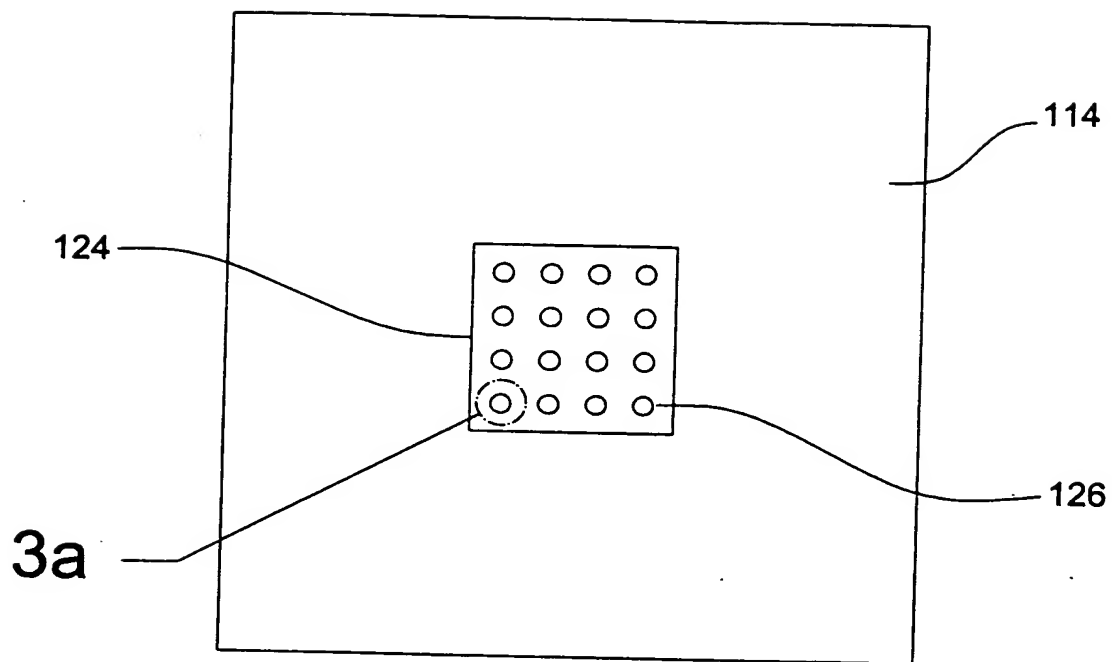




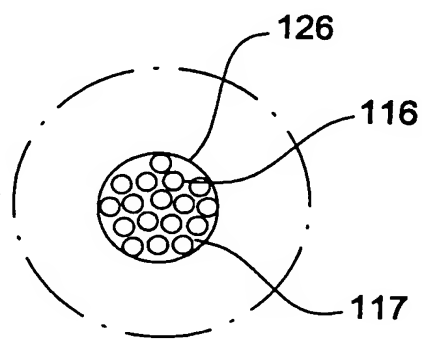
第 1 圖 (先前技術)



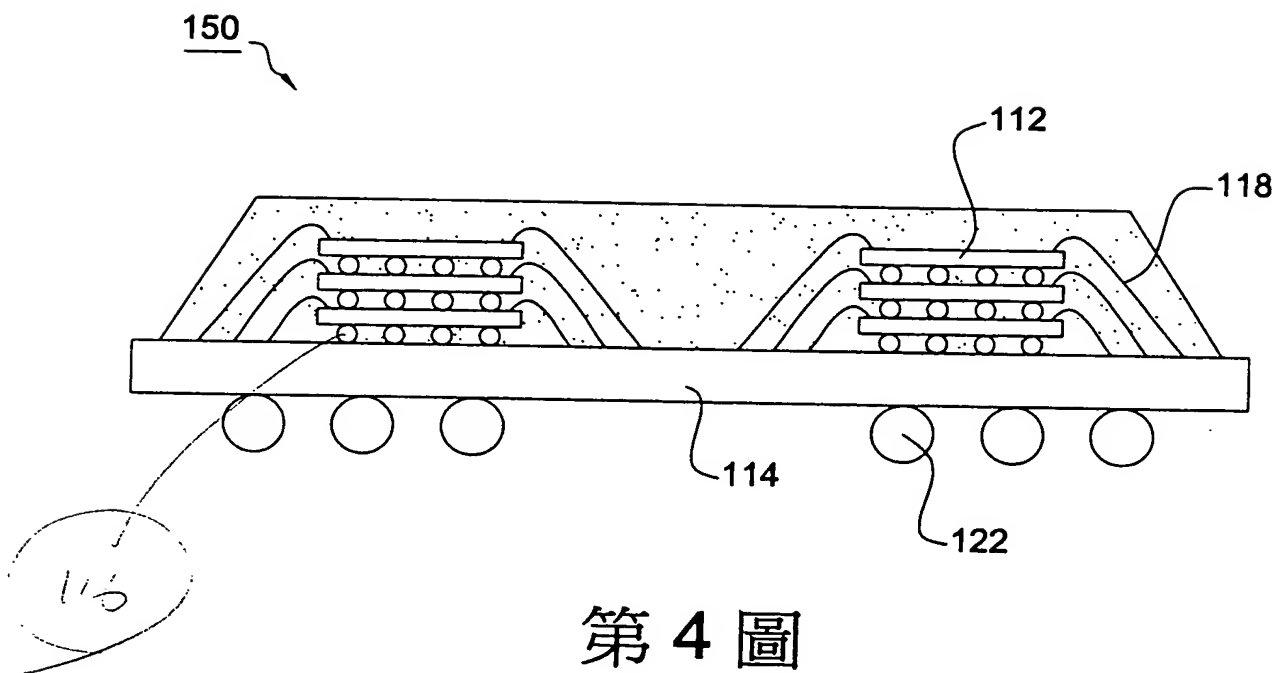
第 2 圖

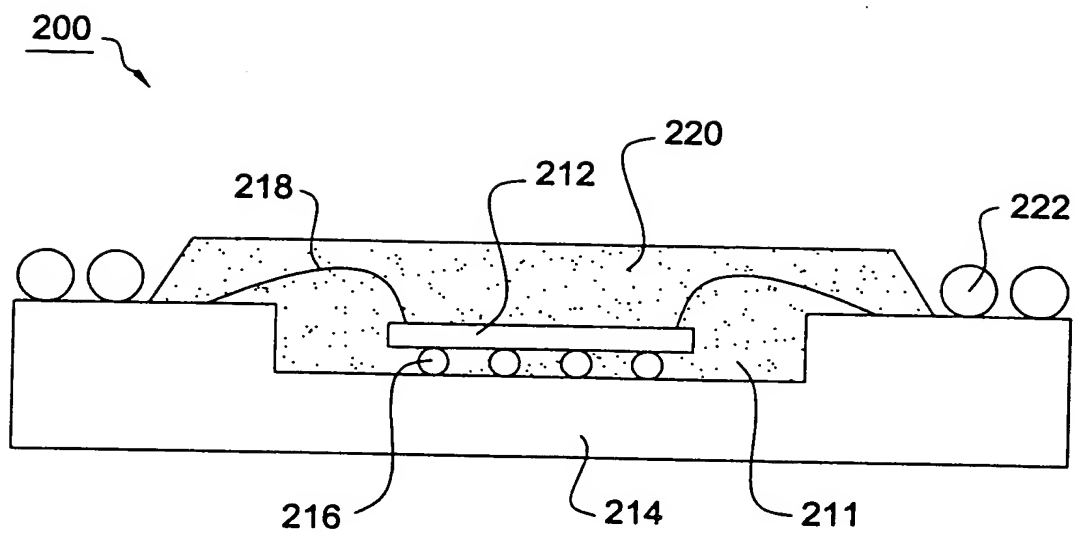


第 3 圖

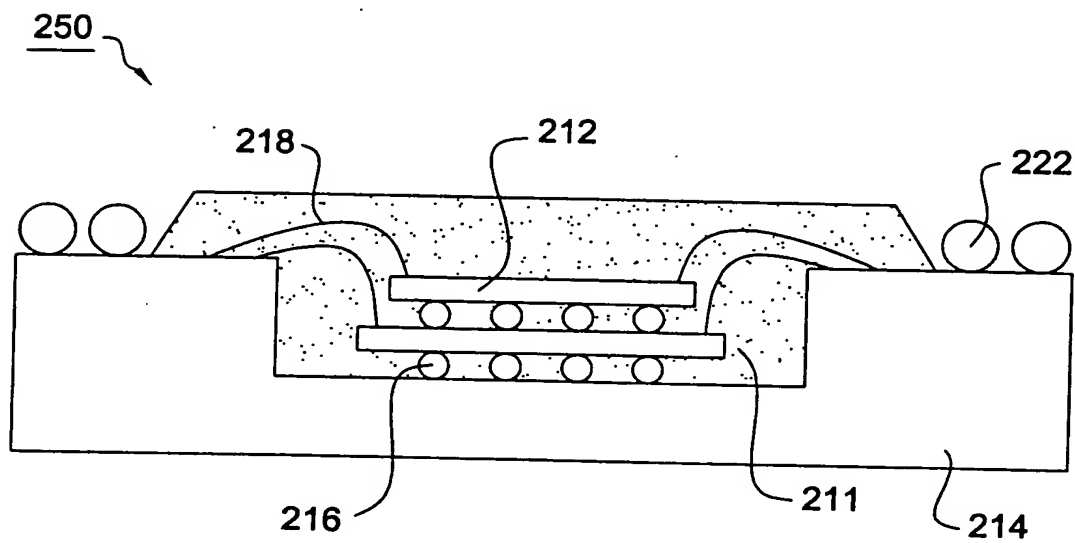


第 3a 圖

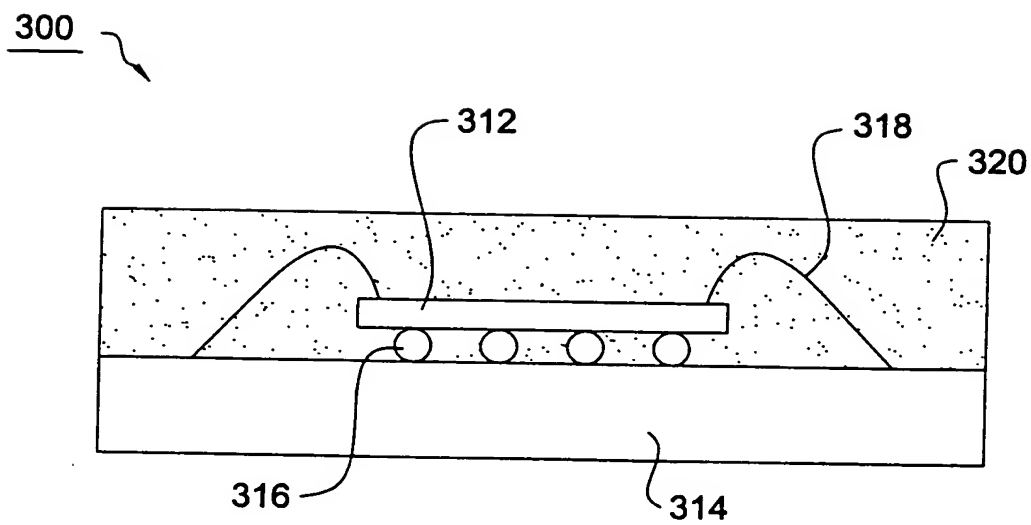




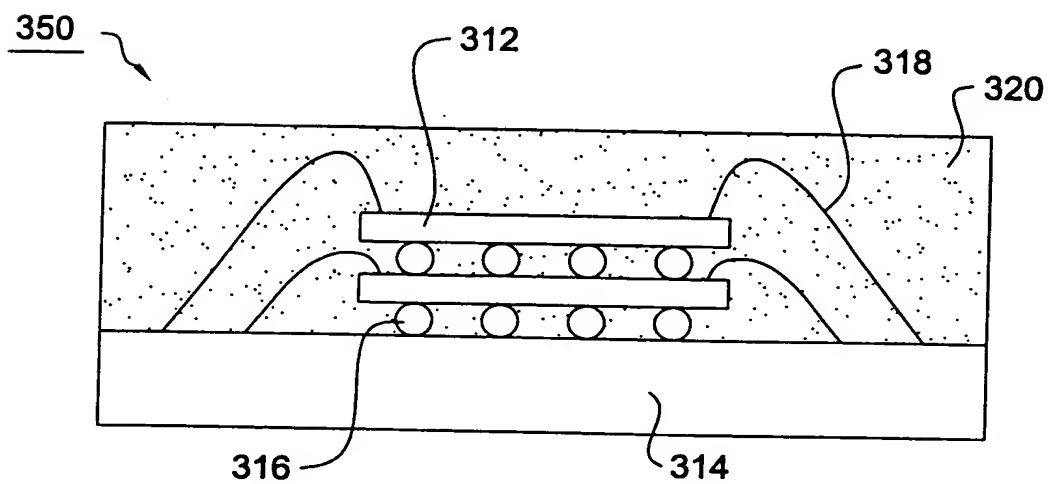
第 5 圖



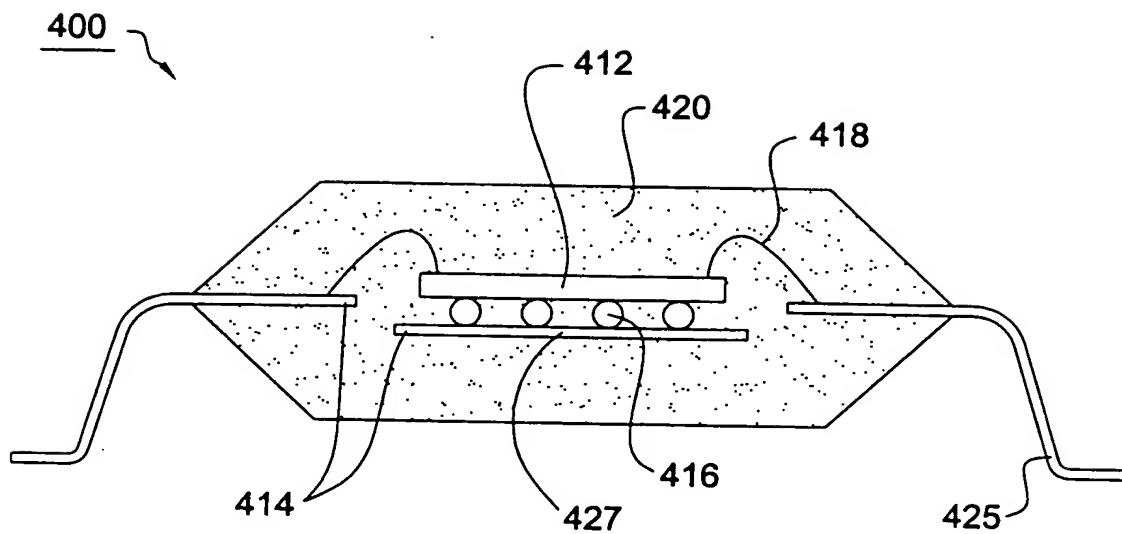
第 6 圖



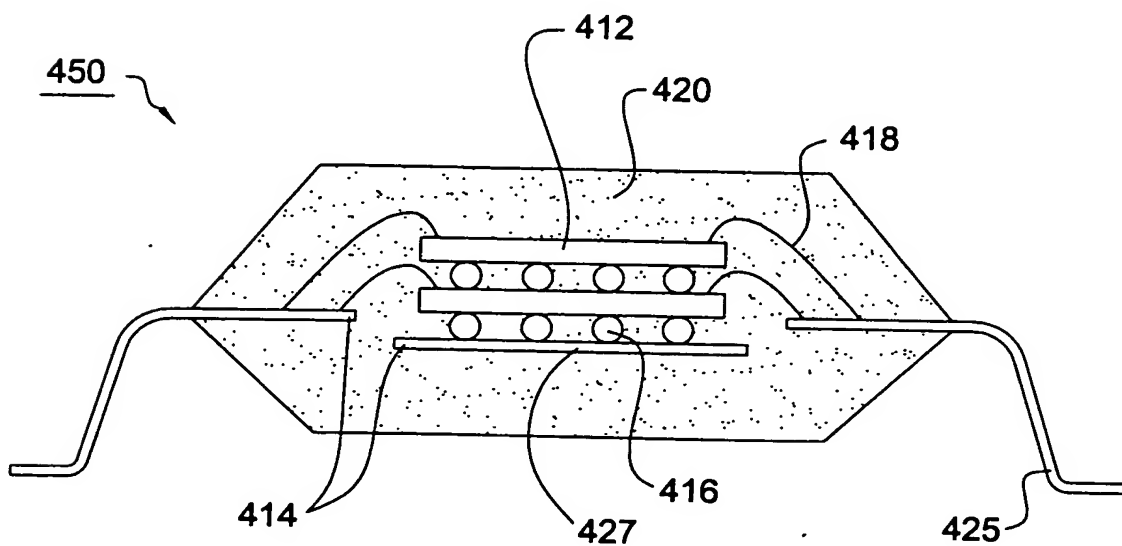
第 7 圖



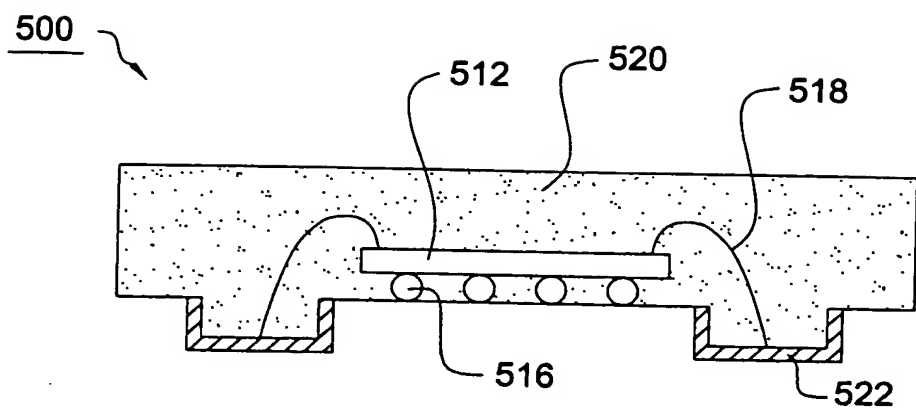
第 8 圖



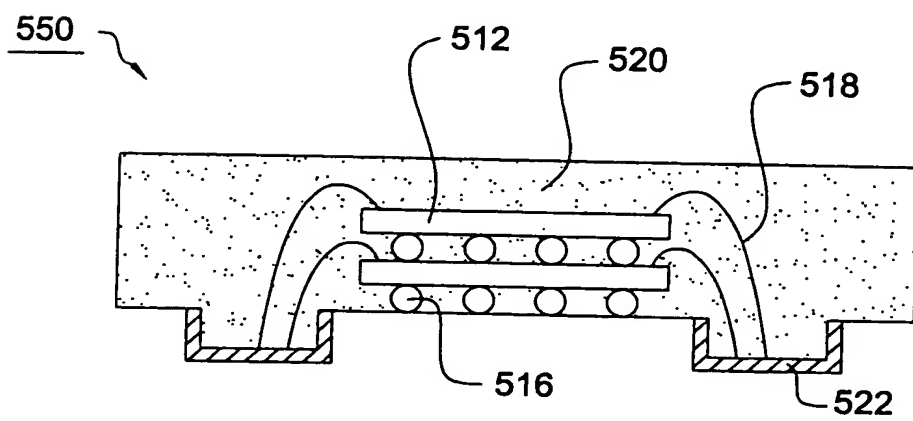
第 9 圖



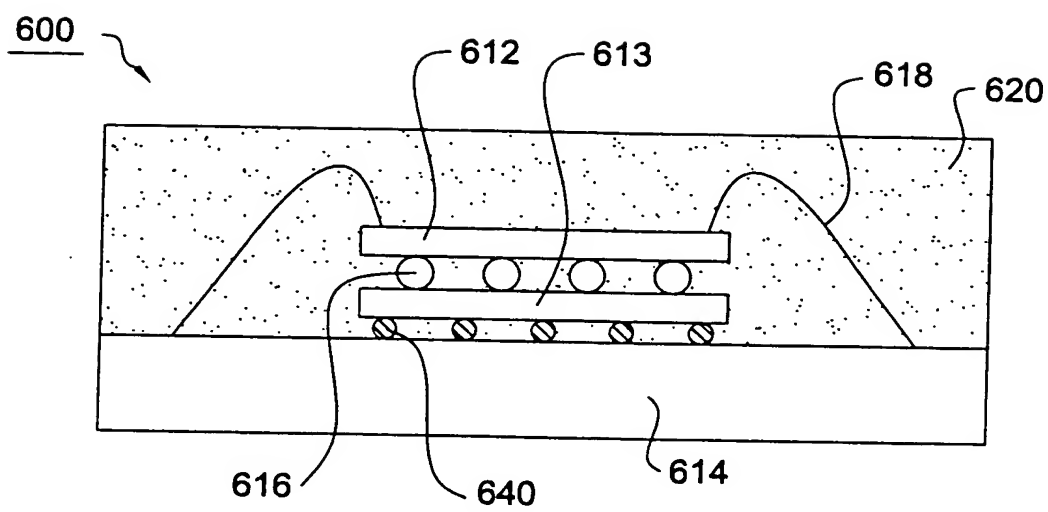
第 10 圖



第 11 圖



第 12 圖



第 13 圖